

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-335901

(43)Date of publication of application : 18.12.1998

(51)Int.CI.

H01P 1/15

(21)Application number : 09-146519

(71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>

(22)Date of filing : 04.06.1997

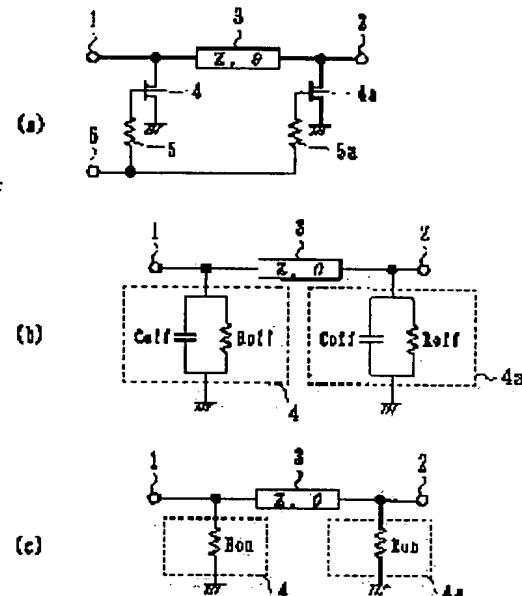
(72)Inventor : TOYODA KAZUHIKO

## (54) SEMICONDUCTOR SWITCH

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a semiconductor switch which can be used over a broad band and has a low insertion loss and high isolation.

**SOLUTION:** A transmission line 3 which has a characteristic impedance higher than that of a system and a length which is shorter than the 1/4 wavelength of signals inputted to or outputted from terminals 1 and 2 is connected in the middle of a signal-transmitting path which connects the terminals 1 and 2 to each other. Then FETs(field effect transistors) 4 and 4a are respectively connected between the terminal 1 and a reference potential and between the terminal 2 and reference potential.



## LEGAL STATUS

[Date of request for examination] 13.04.2001

[Date of sending the examiner's decision of rejection] 15.10.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-335901

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.<sup>8</sup>

### 識別記号

F I  
H01P 1/15

電文請求・文書請求・請求整理の数12 Q.1 (合15頁)

(21) 出願番号 特願平9-146519

(22) 出願日 平成9年(1997)6月4日

(71)出願人 000004226

## 日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 豊田 一彦

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

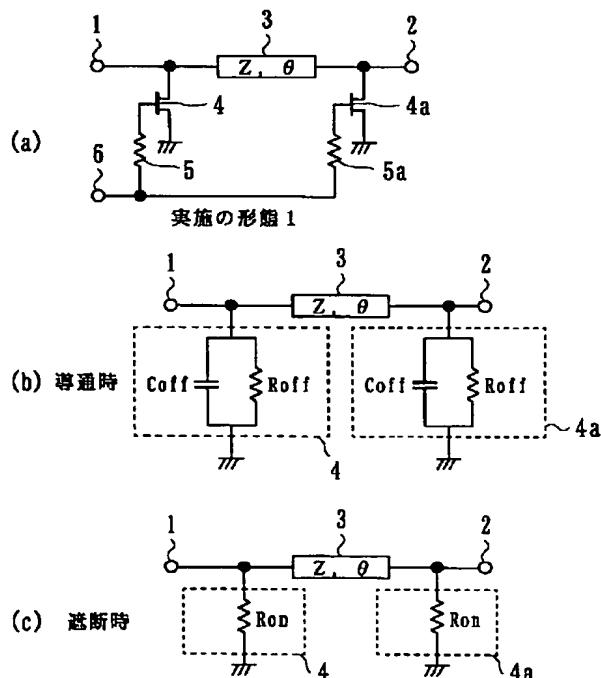
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 半導体スイッチ

(57) 【要約】

【課題】 広い帯域で使用できるとともに低挿入損失でありかつ高アイソレーションである特性を得る。

【解決手段】 端子 1, 2 を接続する信号伝達経路中に、系の特性インピーダンスよりも高い特性インピーダンスを有し、かつ、上記端子に入力される信号または上記端子から出力される信号の波長の  $1/4$  より短い長さの伝送線路 3 を挿入する。そして、端子 1 と基準電位との間に F E T 4 を挿入し、端子 2 と基準電位との間に F E T 4 a を挿入する。



1

## 【特許請求の範囲】

【請求項1】 第1および第2の端子を接続する信号伝達経路中に挿入され、系の特性インピーダンスよりも高い特性インピーダンスを有し、かつ、前記端子に入力される信号または前記端子から出力される信号の波長の1/4より短い長さの伝送線路と、

第1の端子と基準電位との間に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第1のスイッチ手段と、第2の端子と基準電位との間に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第2のスイッチ手段とを備えたことを特徴とする半導体スイッチ。

【請求項2】 第1および第2の端子を接続する信号伝達経路中に挿入され、系の特性インピーダンスよりも高い特性インピーダンスを有し、かつ、前記端子に入力される信号または前記端子から出力される信号の波長の1／4より短い長さの伝送線路と、

第1の端子と基準電位との間に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第1のスイッチ手段と、第2の端子と基準電位との間に挿入された容量素子とを備えたことを特徴とする半導体スイッチ。

【請求項3】 第1および第3の端子を接続する第1の信号伝達経路中に挿入され、系の特性インピーダンスよりも高い特性インピーダンスを有し、かつ、前記端子に入力または前記端子から出力される信号の波長の $1/4$ より短い長さの第1の伝送線路と、

第2および第3の端子を接続する第2の信号伝達経路中に挿入され、系の特性インピーダンスよりも高い特性インピーダンスを有し、かつ、前記端子に入力または前記端子から出力される信号の波長の1/4より短い長さの第2の伝送線路と、

第1の伝送線路と第3の端子との間に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第1のスイッチ手段と、

第2の伝送線路と第3の端子との間に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第2のスイッチ手段と、

第1の伝送線路の両端と基準電位との間にそれぞれ挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第3および第4のスイッチ手段と、

第2の伝送線路の両端と基準電位との間にそれぞれ挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第5および第6のスイッチ手段とを備えたことを特徴とする半導体スイッチ。

2

【請求項4】 第1および第3の端子を接続する第1の信号伝達経路中に挿入され、系の特性インピーダンスよりも高い特性インピーダンスを有し、かつ、前記端子に入力または前記端子から出力される信号の波長の $1/4$ より短い長さの第1の伝送線路と、

第2および第3の端子を接続する第2の信号伝達経路中に挿入され、系の特性インピーダンスよりも高い特性インピーダンスを有し、かつ、前記端子に入力または前記端子から出力される信号の波長の $1/4$ より短い長さの第2の伝送線路と、

10

第1の端子と基準電位との間に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第1のスイッチ手段と、第2の端子と基準電位との間に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第2のスイッチ手段と、第3の端子と基準電位との間に挿入された容量素子とを備えたことを特徴とする半導体スイッチ。

【請求項5】 第1および第3の端子を接続する第1の信号伝達経路中に挿入され、系の特性インピーダンスよりも高い特性インピーダンスを有し、かつ、前記端子に入力または前記端子から出力される信号の波長の1/4より短い長さの第1の伝送線路と、

第2および第3の端子を接続する第2の信号伝達経路中に挿入され、系の特性インピーダンスよりも高い特性インピーダンスを有し、かつ、前記端子に入力または前記端子から出力される信号の波長の1/4より短い長さの第2の伝送線路と、

第1の伝送経路と第2の端子との間に挿入された第1のインピーダンス反転手段と、

第2の伝送線路と第3の端子との間に挿入された第2のインピーダンス反転手段と、

第1の伝送線路の両端と基準電位との間にそれぞれ挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第1および第2のスイッチ手段と、

第2の伝送線路の両端と基準電位との間にそれぞれ挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第3および第4のスイッチ手段とを備えたことを特徴とする半導体スイッチ。

【請求項6】 第1および第3の端子を接続する第1の信号伝達経路中に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第1のスイッチ手段と、

第2および第3の端子を接続する第2の信号伝達経路中に挿入され、系の特性インピーダンスよりも高い特性インピーダンスを有し、かつ、前記端子に入力または前記端子から出力される信号の波長の1/4より短い長さの伝送線路と、

50

第1の端子と基準電位との間に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第2のスイッチ手段と、第2の端子と基準電位との間に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第3のスイッチ手段とを備えたことを特徴とする半導体スイッチ。

【請求項7】 第1および第3の端子を接続する第1の信号伝達経路中に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第1のスイッチ手段と、

第2および第3の端子を接続する第2の信号伝達経路中に挿入され、系の特性インピーダンスよりも高い特性インピーダンスを有し、かつ、前記端子に入力または前記端子から出力される信号の波長の1/4より短い長さの伝送線路と、

第2の端子と基準電位との間に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第2のスイッチ手段と、第3の端子と基準電位との間に挿入された容量素子とを備えたことを特徴とする半導体スイッチ。

【請求項8】 第1および第3の端子を接続する第1の信号伝達経路中に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第1のスイッチ手段と、

第2および第3の端子を接続する第2の信号伝達経路中に挿入され、系の特性インピーダンスよりも高い特性インピーダンスを有し、かつ、前記端子に入力または前記端子から出力される信号の波長の1/4より短い長さの伝送線路と、第3の端子と第1の伝送線路との間に挿入されたインピーダンス反転手段と、

前記伝送線路の両端と基準電位との間にそれぞれ挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第2および第3のスイッチ手段とを備えたことを特徴とする半導体スイッチ。

【請求項9】 第1および第3の端子を接続する第1の信号伝達経路中に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第1のスイッチ手段と、

第1の端子と第1のスイッチ手段との間に挿入された第1の容量素子と、

第1の容量素子と第1のスイッチ手段との間の第1の信号伝達経路と基準電位との間に挿入されたインピーダンス反転手段と、

前記インピーダンス反転手段と基準電位との間に挿入された容量素子と、

第2および第3の端子を接続する第2の信号伝達経路中に挿入され、系の特性インピーダンスよりも高い特性イン

ピーダンスを有し、かつ、前記端子に入力または前記端子から出力される信号の波長の1/4より短い長さの伝送線路と、

第2の端子と前記伝送線路との間に挿入された第2の容量素子と、

前記伝送線路と第2の容量素子との間の第2の信号伝達経路と基準電位との間に挿入された第2のスイッチ手段と、

第3の端子と第1のスイッチ手段との間でありますか第3の端子と前記伝送線路との間に挿入された第4の容量素子と、

第1のスイッチ手段と基準電位との間でありますか前記伝送線路と基準電位との間に挿入された第5の容量素子とを備えたことを特徴とする半導体スイッチ。

【請求項10】 請求項1乃至9の何れか一項において、

前記スイッチ手段は、電界効果型トランジスタで構成されていることを特徴とする半導体スイッチ。

【請求項11】 請求項1乃至9の何れか一項において、

前記スイッチ手段は、バイポーラトランジスタで構成されていることを特徴とする半導体スイッチ。

【請求項12】 請求項1乃至9の何れか一項において、

前記スイッチ手段は、PINダイオードで構成されていることを特徴とする半導体スイッチ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、高周波信号の伝搬経路中に挿入され、伝搬経路の導通/遮断を切り替える半導体スイッチに関するものである。

【0002】

【従来の技術】 従来、無線装置の送信時と受信時とにおける信号伝達経路の切り替えに半導体スイッチが用いられている。そこで、従来の半導体スイッチについて、1個の信号伝達経路を切り替えるものと、2個の信号伝達経路を切り替えるものとについてそれぞれ図を用いて説明する。

【0003】 【1個の信号伝達回路を切り替える従来の半導体スイッチ】 図12は信号伝達経路の導通/遮断を切り替える従来の高周波半導体スイッチを示すブロック図である。図12(a)は、2つの入出力端子31, 32間の信号伝達経路に対して直列にスイッチ素子33が挿入され、スイッチ素子33がオン状態のとき端子31, 32間は導通となり、スイッチ素子33がオフ状態のとき端子31, 32間は遮断となる半導体スイッチを示す。

【0004】 図12(b)は、2つの入出力端子31, 32間の信号伝達経路と基準電位との間にこの信号伝達経路に対して並列にスイッチ素子34が挿入され、スイ

ッチ素子34がオフ状態のとき端子31, 32間は導通となり、スイッチ素子34がオン状態のとき端子31, 32間は遮断となる半導体スイッチを示す。

【0005】ところで、高周波回路に用いられ半導体で形成されたスイッチ素子には、二端子素子のものと三端子素子のものがある。例えば、二端子素子としては、電圧により電流を制御してスイッチング動作させるPINダイオードがある。三端子素子としては、一端子に与える電圧または電流によって他の二端子間の抵抗を制御し、スイッチング動作を実施する電界効果型トランジスタ(FET)やバイポーラトランジスタが一般に用いられる。

【0006】これらの半導体スイッチ素子は、スイッチ素子がオン状態の場合には低抵抗Ronで表され、オフ状態の場合には高抵抗Roffと容量Coffの並列回路で等価的に表わされる。すなわち、図19に示されるようになる。したがって、実際の半導体スイッチ素子は、有限のオンインピーダンスと有限のオフインピーダンスを持つため、信号伝達量が0/∞の理想的なスイッチ素子として動作することができない。

【0007】例えば、図12(a)の回路で、スイッチ素子33としてFETを用いた場合、導通特性を良好にするため挿入損失を低減させるにはRonを小さくすればよい。すなわち、ゲート幅の大きなFETを用いるといい。しかしながら、ゲート幅を大きくすることは同時にRoffを小さくしかつCoffを大きくすることになり、遮断特性を劣下させてしまう。その結果、十分なアイソレーションが得られなくなるという問題点がある。

【0008】同様に、図12(b)の回路で、挿入損失を低減しようとしてゲート幅を小さくするとともにRoffを大きくしCoffを小さくすると、同時にRonが大きくなってしまい、十分な遮断特性(すなわち、アイソレーション)を得ることができなくなる。

【0009】一方、大きなアイソレーションを得る構成として図12(c)～(g)に示すような構成がある。図12(c)は図12(a)におけるスイッチ素子33, 33aを2個直列に接続したものである。図12(d)は2個の入出力端子31, 32間に図12(b)のようにスイッチ素子34, 34aを2個並列に接続したものである。図12(e)は2個の入出力端子31, 32間に図12(a)および(b)のスイッチ素子33, 34を組み合わせてL形に配置したものである。図12(f)は2個の入出力端子31, 32間に図12(b)および(c)のスイッチ素子33, 33a, 34を組み合わせてT形に配置したものである。図12(g)は2個の入出力端子31, 32間に図12(a)および(d)のスイッチ素子33, 34, 34aを組み合わせてπ形に配置したものである。

【0010】すなわち、これらの構成は何れも図12

(a), (b)に示した基本構成の半導体スイッチを複数用いたものであり、アイソレーション特性を向上させることができる。しかしながら、このような構成ではアイソレーションの向上にともなって挿入損失が劣下するという問題点がある。

【0011】このように、挿入損失の低減とアイソレーションの向上とは、互いに相反する関係にある。また、これらはRon, Roff, Coffのデバイス特性でほぼ決定される。特に高周波帯ではRonとCoffの関係で決定される。そこで、これらの課題を解決するため、従来においてはインダクタンス素子を付加することによってこのCoffをキャンセルし、スイッチ特性を改善することが試みられていた。

【0012】図13, 14, 15はインダクタを付加した従来の半導体スイッチを示すブロック図である。図13は、スイッチ素子33に並列にインダクタ35を付加したものであり、スイッチ素子33の寄生容量Coffとインダクタ35のインダクタンスLで並列共振回路を形成することにより、共振周波数においてCoffをキャンセルするものである。

【0013】また、図14はスイッチ素子33に伝送線路36, 36aと抵抗37とを付加したものであり、図15はスイッチ素子33, 33a, 34でT形回路を形成し、これに並列に伝送線路38を接続したものである。このように、図14, 15はいずれも伝送線路のインダクタンス成分でスイッチ素子の寄生容量をキャンセルするように構成されているが、何れも共振を利用するため十分なアイソレーションの得られる帯域が狭いという問題点がある。

【0014】[2個の信号伝達回路を切り替える従来の半導体スイッチ] 次に、従来の2個の信号伝達回路を切り替える従来の半導体スイッチについて図を用いて説明する。図16, 17, 18は2個の信号伝達経路を切り替える高周波半導体スイッチを示すブロック図である。

【0015】図16に係る半導体スイッチは、2個の独立入出力端子である端子31, 32および1個の共通入出力端子である端子39を具備しており、端子31, 39間の第1の信号伝達経路と端子32, 39間の第2の信号伝達経路を切り替えるものである。端子31, 39間に半導体で形成されたスイッチ素子33が挿入され、端子31と基準電位との間には同様のスイッチ素子34が挿入されている。端子32, 39間にスイッチ素子33aが挿入され、端子32と基準電位との間にはスイッチ素子34aが挿入されている。

【0016】さて、スイッチ素子33および34aをオン状態にしてスイッチ素子33aおよび34をオフ状態にすると端子31, 39間の第1の信号伝達経路が導通となり、スイッチ素子33および34aをオフ状態にしてスイッチ素子33aおよび34をオン状態にすると端子32, 39間の第2の信号伝達経路が導通となり、2

個の信号伝達経路を切り替えることができる。

【0017】図17に係る半導体スイッチは、2個の独立入出力端子である端子31, 32および1個の共通入出力端子である端子39を具備しており、端子31, 39間の第1の信号伝達経路と端子32, 39間の第2の信号伝達経路を切り替えるものである。

【0018】端子31, 39間には、系の特性インピーダンスZ0に等しい特性インピーダンスを持つ1/4波長線路40が挿入され、端子31と基準電位との間にはスイッチ素子34が挿入されている。同様に、端子32, 39間には系の特性インピーダンスZ0に等しい特性インピーダンスを持つ1/4波長線路40aが挿入され、端子32と基準電位との間にはスイッチ素子34aが挿入されている。

【0019】さて、スイッチ素子34をオフ状態にしてスイッチ素子34aをオン状態にすると、1/4波長線路40aのインピーダンス変換作用により、共通入出力端子39から端子32側を見たインピーダンスは無限大となるとともに端子31側を見たインピーダンスはZ0となるため、端子31, 39間の第1の信号伝達経路が導通となる。

【0020】また、逆にスイッチ素子34をオン状態にしてスイッチ素子34aをオフ状態にすると端子32, 39間の第2の信号伝達経路が導通となる。よって、以上の操作を実施することにより2個の信号伝達経路を切り替えることができる。なお、上記半導体スイッチ素子としては電界効果型トランジスタ(FET)やバイポーラトランジスタ等が広く用いられている。

【0021】図18に係る半導体スイッチは、2個の独立入出力端子である端子31, 32および1個の共通入出力端子である端子39を具備しており、端子31, 39間の第1の信号伝達経路と端子32, 39間の第2の信号伝達経路を切り替えるものである。端子31, 39間にはスイッチ素子33が挿入され、端子31と基準電位との間には高インピーダンスの1/4波長線路41とDCカット用のキャパシタ42とが互いに直列に挿入されている。

【0022】また、端子32, 39間には系の特性インピーダンスZ0に等しい特性インピーダンスを持つ1/4波長線路40aが挿入され、端子32と基準電位との間にはスイッチ素子34aが挿入されている。

【0023】さて、スイッチ素子33および34aをオン状態にすると1/4波長線路40aのインピーダンス変換作用により、共通端子39から端子32側を見たインピーダンスは無限大となるとともに端子31側を見たインピーダンスはZ0となるため、端子31, 39間の第1の信号伝達経路が導通となる。

【0024】また、逆に半導体スイッチ素子33および34aをオフ状態にすると端子39から端子31側を見たインピーダンスはほぼ無限大となるとともに端子32

側を見たインピーダンスはZ0となり、端子32, 39間の第2の信号伝達経路が導通となる。なお、本従来例の構成ではスイッチ素子33および34aを同時にオン、オフすればよく、1個の制御端子で2個の信号伝達経路の切り替えが可能である。したがって、PINダイオードなどの2端子半導体スイッチ素子を用いる場合には本構成が用いられる。

【0025】ところで、これら従来の半導体スイッチは、【1個の信号伝達回路を切り替える従来の半導体スイッチ】において述べたように、スイッチ素子が0のオンインピーダンスと無限大のオフインピーダンスを持てば理想的な経路切り替えスイッチとして動作するといえる。しかし、実際には図19に示すように有限のオンインピーダンスと有限のオフインピーダンスを持ち、信号伝達量が0/∞の理想的なスイッチ素子として動作させることができない。

【0026】特に、高周波帯では寄生容量Coffが、経路切り替え半導体スイッチの挿入損失を増大させたり、アイソレーション特性を劣下させたりしてスイッチの特性を劣下させる大きな要因となっている。そこで、このような問題点を解決するために、【1個の信号伝達回路を切り替える従来の半導体スイッチ】と同様に各半導体スイッチ素子にインダクタンス素子を附加し、共振によって寄生容量Coffをキャンセルする方法が考えられるが、共振を用いると良好な特性が得られる帯域が狭くなるという問題点がある。

【0027】  
【発明が解決しようとする課題】以上のとおり、スイッチ素子を組み合わせて半導体スイッチの特性改善を行おうとする場合、スイッチの挿入損失とアイソレーションの比はスイッチ素子に用いた半導体デバイスの特性でほぼ決定されてしまうため、挿入損失とアイソレーションを同時に向上させることは困難であった。一方、インダクタなどを附加して、共振を利用してスイッチ素子の寄生容量をキャンセルする方法では、挿入損失とアイソレーションを同時に向上させることができないこともないが、十分なアイソレーションの得られる帯域が狭いという問題点があった。本発明は、このような課題を解決するためのものであり、広い帯域で使用できるとともに低挿入損失でありかつ高アイソレーション特性を持つ半導体スイッチを提供することを目的とする。

【0028】  
【課題を解決するための手段】このような目的を達成するために、請求項1に係る本発明は、第1および第2の端子を接続する信号伝達経路中に挿入され、系の特性インピーダンスよりも高い特性インピーダンスを有し、かつ、上記端子に入力される信号または上記端子から出力される信号の波長の1/4より短い長さの伝送線路と、第1の端子と基準電位との間に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、



4より短い長さの伝送線路と、第2の端子と基準電位との間に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第2のスイッチ手段と、第3の端子と基準電位との間に挿入された容量素子とを備えたものである。

【0035】また、請求項8に係る本発明は、第1および第3の端子を接続する第1の信号伝達経路中に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第1のスイッチ手段と、第2および第3の端子を接続する第2の信号伝達経路中に挿入され、系の特性インピーダンスよりも高い特性インピーダンスを有し、かつ、上記端子に入力または上記端子から出力される信号の波長の1/4より短い長さの伝送線路と、第3の端子と第1の伝送線路との間に挿入されたインピーダンス反転手段と、上記伝送線路の両端と基準電位との間にそれぞれ挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第2および第3のスイッチ手段とを備えたものである。

【0036】また、請求項9に係る本発明は、第1および第3の端子を接続する第1の信号伝達経路中に挿入され、インピーダンスを可変することによってスイッチング動作を実施し、半導体素子によって形成された第1のスイッチ手段と、第1の端子と第1のスイッチ手段との間に挿入された第1の容量素子と、第1の容量素子と第1のスイッチ手段との間の第1の信号伝達経路と基準電位との間に挿入されたインピーダンス反転手段と、上記インピーダンス反転手段と基準電位との間に挿入された容量素子と、第2および第3の端子を接続する第2の信号伝達経路中に挿入され、系の特性インピーダンスよりも高い特性インピーダンスを有し、かつ、上記端子に入力または上記端子から出力される信号の波長の1/4より短い長さの伝送線路と、第2の端子と上記伝送線路との間に挿入された第2の容量素子と、上記伝送線路と第2の容量素子との間の第2の信号伝達経路と基準電位との間に挿入された第2のスイッチ手段と、第3の端子と第1のスイッチ手段との間でありかつ第3の端子と上記伝送線路との間に挿入された第4の容量素子と、第1のスイッチ手段と基準電位との間でありかつ上記伝送線路と基準電位との間に挿入された第5の容量素子とを備えたものである。このように構成することにより、本発明はスイッチ素子の寄生容量と高インピーダンスの伝送線路とで等価的に系の特性インピーダンスに等しい擬似伝送線路が構成され、寄生容量を容易にキャンセルすることができる。

### 【0037】

【発明の実施の形態】次に、本発明に係る1個の信号伝達経路を切り替える半導体スイッチについて説明する。

【実施の形態1】図1は本発明に係る第1の実施の形態を示す回路図である。図1(a)において、2個の入出

力のための端子1、2間に特性インピーダンスZ、電気長θの伝送線路3が挿入されている。

【0038】また、端子1と基準電位との間にはスイッチ手段であるFET4が挿入されており、FET4のドレン端子は端子1に接続されてソース端子は基準電位に接続されており、ゲート端子は抵抗5を介して制御端子6に接続されている。さらに、端子2と基準電位との間にはスイッチ手段であるFET4aが挿入されており、FET4aのドレン端子は端子2に接続されており、ソース端子は基準電位に接続されており、ゲート端子は抵抗5aを介して制御端子6に接続されている。

【0039】さて、FET4、4aがDモード(ディップレッショング型)FETの場合、制御端子6にFETのピンチオフ電圧以下の電圧が印加されると、FET4、4aのソース、ドレン間は高インピーダンスとなり、端子1、2間は導通となる。導通時における等価回路はRoff、Coffを用いて図1(b)のように表わすことができる。

【0040】一方、制御端子6に0Vを印加すると、FET4、4aのソース、ドレン間は低インピーダンスとなり、端子1、2間は遮断となる。遮断時における等価回路はRonを用いて図1(c)のように表わすことができる。ところで、2個のCoffと特性インピーダンスZ、電気長θの伝送線路3で構成されるπ形回路は、

$$Z = Z_0 / \sin \theta$$

$$\omega C_{off} = (1/Z_0) \cos \theta$$

の関係が満たされるとき、特性インピーダンスがZ0である1/4波長線路と等価となる。なお、ωは角周波数である。

【0041】したがって、FET4、4aがそれぞれオフ状態のときには伝送線路3と2個のCoffとで特性インピーダンスがZ0の1/4波長線路が形成され、Coffは等価的にキャンセルされる。すなわち、1/4波長線路の両端に高抵抗Roffのみが接続されているのと等価になる。そのため、挿入損失を低減することができる。

【0042】また、FET4、4aがそれぞれオン状態のときには、端子1から見たFET4は抵抗Ronの低インピーダンスとして見え、伝送線路3側は低インピーダンスRonが伝送線路でインピーダンス変換されて高インピーダンスとして見えるので、伝送線路が無い場合に比べてアイソレーション特性を改善することができる。

【0043】なお、このとき共振を用いていないので、広い帯域で良好なアイソレーション特性を得ることができる。また、伝送線路等の特性は上記の式を完全に満たさなくてもよく、少なくとも伝送線路は系の特性インピーダンスより高いインピーダンスを有しかつ信号波長の1/4より短い長さであればよい。

【0044】ここで、図1の回路を用いた計算結果を示す。図2は、 $R_{on} = 12 \Omega$ 、 $R_{off} = 6 \text{ k}\Omega$ 、 $C_{off} = 0.1 \text{ pF}$ として、伝送線路を挿入しない従来の半導体スイッチ(図12(d))と本発明(図1(a))との挿入損失およびアイソレーションを比較したグラフである。実線が本発明に係る半導体スイッチの特性計算値、破線が従来例の半導体スイッチの特性計算値である。なお、20GHzにおいて最も良好な挿入損失特性を得るため、 $Z = 6.4 \Omega$ 、 $\theta = 51^\circ$ としている。

【0045】図2から明らかなように、20GHzにおいて従来例の挿入損失およびアイソレーションは1.5dB、14dBであるのに対し、本実施例の挿入損失およびアイソレーションは0.1dB、23dBであり、挿入損失およびアイソレーションの何れとも大幅に改善されていることがわかる。

【0046】【実施の形態2】図3は本発明に係る第2の実施の形態を示す回路図である。図3において、図1と同一符号の部品は同一または同等の部品を示す。この第2の実施の形態は、第1の実施の形態におけるFET4aをCoffと同じ容量をもつキャパシタ7で置き換えたものである。

【0047】さて、第1の実施の形態と同様に、制御端子6にピンチオフ電圧以下の電圧を印加するとFET4のソース、ドレン間は高インピーダンスとなり、端子1、2間は導通となる。一方、制御端子6に0Vを印加するとFET4のソース、ドレン間は低インピーダンスとなり、端子1、2間は遮断となる。

【0048】すなわち、FET4がオフ状態(すなわち、高インピーダンス)の時には、FET4は $R_{off}$ と $C_{off}$ の並列回路と等価となり、 $C_{off}$ と伝送線路3とキャパシタ7とでπ形回路が形成される。このとき、第1の実施の形態と同様に伝送線路の特性インピーダンスを $Z$ 、電気長を $\theta$ と設計することにより、このπ形回路は系の特性インピーダンスに等しい $1/4$ 波長線路と等価となり、FET4の寄生容量 $C_{off}$ をキャンセルすることができる。

【0049】したがって、第1の実施の形態と同様に挿入損失を改善することができる。特に、第2の実施の形態の回路構成ではキャパシタ7が固定の素子であるため、端子1、2間が遮断のときに端子2から見たキャパシタ7のインピーダンスは、高インピーダンスとなるという特徴がある。

【0050】次に、本発明に係る2個の信号伝達経路を切り替える半導体スイッチについて説明する。

【実施の形態3】図4は本発明に係る第3の実施の形態を示す回路図である。2個の独立入出力端子である端子1、2および1個の共通入出力端子である端子8を具備しており、制御端子6、6aに印加する制御電圧によって端子1、8間の第1の信号伝達経路と端子2、8間の

第2の信号伝達経路とを切り替える。端子8には2個の単位スイッチ素子であるFET9、9aのドレイン端子が接続されており、FET9のソース端子は特性インピーダンス $Z$ 、電気長 $\theta$ の伝送線路3を介して端子1に接続されている。FET9aのソース端子は特性インピーダンス $Z$ 、電気長 $\theta$ の伝送線路3aを介して端子2に接続されている。

【0051】FET9のゲート端子は抵抗10を介して制御端子6aに接続されており、FET9aのゲート端子は抵抗10aを介して制御端子6に接続されている。  
10 伝送線路3の両端と基準電位との間にはそれぞれFET4、4aが挿入されており、FET4、4aのドレイン端子が伝送線路3の両端にそれぞれ接続されており、ソース端子が基準電位に接続されている。各ゲート端子はそれぞれ抵抗5、5aを介して制御端子6に共通接続されている。

【0052】同様に、伝送線路3aの両端と基準電位との間にはFET4b、4cが挿入され、FET4b、4cのドレイン端子が伝送線路3aの両端に各々接続されており、ソース端子が基準電位に接続されている。各ゲート端子にはそれぞれ抵抗5b、5cを介して制御端子6aに共通接続されている。  
20

【0053】さて、各FETがDモード(ディプレッション型)FETの場合、制御端子6にFETのピンチオフ電圧以下の電圧を印加し、制御端子6aに0Vを印加するとFET9a、4、4aのソース、ドレン間は高インピーダンスとなり、FET9、4b、4cのソース、ドレン間は低インピーダンスとなる。さらに、端子1、8間の第1の信号伝達経路が導通となり、端子2、8間の第2の信号伝達経路は遮断となる。  
30

【0054】逆に、制御端子6aにFETのピンチオフ電圧以下の電圧を印加し、制御端子6に0Vを印加すると端子2、8間の第2の信号伝達経路が導通となり、端子1、8間の第1の信号伝達経路は遮断となる。ここで、端子1、8間の第1の信号伝達経路が導通の場合の等価回路を前述の $R_{on}$ 、 $R_{off}$ 、 $C_{off}$ を用いて表わすと図4(b)のよう表わされる。

【0055】ところで、FET4a、4の2個の $C_{off}$ と特性インピーダンス $Z$ 、電気長 $\theta$ の伝送線路3で構成されるπ形回路は、上記[1個の信号伝達経路を切り替える半導体スイッチ]と同様に、  
40

$$Z = Z_0 / \sin \theta$$

$$\omega C_{off} = (1/Z_0) \cos \theta$$

の関係が満たされるとき、特性インピーダンスが $Z_0$ の $1/4$ 波長線路と等価となる。ここで、 $\omega$ は角周波数である。

【0056】したがって、FET4、4aがそれぞれオフ状態のときには伝送線路3と2個の $C_{off}$ とで特性インピーダンスが $Z_0$ の $1/4$ 波長線路が形成され、 $C_{off}$ は等価的にキャンセルされる。すなわち、 $1/4$  50

波長線路の両端に高抵抗  $R_{off}$  のみが接続されていると等価になる。そのため、挿入損失を低減することができる。

【0057】また、FET4, 4a がそれぞれオン状態のときには、FET4a から端子1側を見た場合、FET4 の低抵抗  $R_{on}$  が伝送線路3でインピーダンス変換されて高インピーダンスとして見えるので、伝送線路が無い場合に比べてアイソレーション特性を改善することができる。

【0058】なお、このとき共振を用いていないので、広い帯域で良好なアイソレーション特性を得ることができる。また、伝送線路等の特性は上記の式を完全に満たさなくともよく、少なくとも伝送線路は系の特性インピーダンスより高いインピーダンスを有しつつ信号波長の  $1/4$  より短い長さであればよい。

【0059】ここで、図4の回路を用いた計算結果を示す。図5は  $R_{on} = 12 \Omega$ ,  $R_{off} = 6 \text{ k}\Omega$ ,  $C_{off} = 0.1 \text{ pF}$  として、図4(a) で伝送線路3, 3a の長さを0とした従来の半導体スイッチと本実施の形態の挿入損失およびアイソレーションを比較したグラフである。図5において、実線が本発明に係る半導体スイッチの特性計算値、破線が従来例の半導体スイッチの特性計算値である。

【0060】なお、20GHzにおいて最も良好な挿入損失特性を得るために  $Z = 64 \Omega$ ,  $\theta = 51^\circ$  とする。グラフから明らかに20GHzにおいて従来例の挿入損失およびアイソレーションは4dB, 25dB であるのに対し、本実施の形態の挿入損失およびアイソレーションは2dB, 31dB である。したがって本実施の形態は挿入損失およびアイソレーションの何れとも大幅に改善されていることがわかる。

【0061】さらに、グラフでは示していないが、本実施の形態はインダクタ等を付加して共振を利用した場合に比較して非常に広い範囲で良好な特性を得ることができる。また、FET4, 4a, 4b, 4c のいくつかを  $C_{off}$  に等しい固定容量キャパシタで置き換えた場合も同様の効果を有する。

【0062】【実施の形態4】図6は本発明に係る第4の実施の形態を示す回路図である。図6において、図4と同一符号の部品は同一または同等の部品を示す。2個の独立入出力端子である端子1, 2 および1個の共通入出力端子である端子8を備しておらず、制御端子6, 6a に印加する制御電圧によって端子1, 8間の第1の信号伝達経路と端子2, 8間の第2の信号伝達経路を切り替える。端子1, 8間および2, 8間の信号伝達経路には、特性インピーダンスZ、電気長  $\theta$  の伝送線路3, 3a がそれぞれ接続されている。

【0063】端子1と基準電位との間にはFET4が挿入され、FET4のドレイン端子は端子1に接続されてソース端子は基準電位に接続されている。また、FET

4のゲート端子は抵抗5を介して制御端子6に接続されている。端子2と基準電位との間にはFET4cが挿入されており、FET4cのドレイン端子は端子2に接続されてソース端子は基準電位に接続されている。また、FET4cのゲート端子は抵抗5cを介して制御端子6aに接続されている。端子8と基準電位との間にはFET4, 4cのオフ時の寄生容量  $C_{off}$  の和にほぼ等しい容量のキャパシタ11が接続されている。

【0064】さて、各FETがDモード(ディプレッシュン型)FETの場合、制御端子6にFETのピンチオフ電圧以下の電圧を印加し、制御端子6aに0Vを印加するとFET4のソース、ドレイン間は高インピーダンスとなり、FET4cのソース、ドレイン間は低インピーダンスとなる。その結果、端子1, 8間の第1の信号伝達経路が導通となり、端子2, 8間の第2の信号伝達経路は遮断となる。

【0065】逆に、制御端子6aにFETのピンチオフ電圧以下の電圧を印加し、制御端子6に0Vを印加すると端子2, 8間の第2の信号伝達経路が導通となり、端子1, 8間の第1の信号伝達経路は遮断となる。なお、端子1, 8間の第1の信号伝達経路が導通の場合、FET4は高抵抗  $R_{off}$  と寄生容量  $C_{off}$  の並列等価回路で表わされる。そしてこのとき、FET4の寄生容量  $C_{off}$  と、伝送線路3と、キャパシタ11の容量のうちFET4の  $C_{off}$  に等しい容量とで  $\pi$  形回路が構成される。また、伝送線路3の特性インピーダンスZと電気長  $\theta$  を第3の実施の形態の場合と同様に設計することにより、この  $\pi$  形回路は系の特性インピーダンスに等しい  $1/4$  波長線路と等価となる。

【0066】一方、キャパシタ11の残りのキャパシタンスと伝送線路3aとで構成される回路は、伝送線路3aの先端に低抵抗  $R_{on}$  が接続されている。そのため、伝送線路の片端で並列キャパシタが省略されていることはほぼ無視できるため、これもまた系の特性インピーダンスに等しい  $1/4$  波長線路とほぼ等価となる。

【0067】したがって、本実施の形態では系の特性インピーダンスよりも高い特性インピーダンスを持つ伝送線路3, 3a およびキャパシタ11を装荷することによってFETの寄生容量  $C_{off}$  をキャンセルすることができる。このとき、共振を用いていないので、広い帯域で良好な挿入損失とアイソレーション特性とを得ることができる。

【0068】【実施の形態5】図7は本発明に係る第5の実施の形態を示す回路図である。図7において図4と同一符号の部品は同一または同等の部品を示す。本実施の形態は、上記第3の実施の形態のFET9, 9aをそれぞれ系の特性インピーダンスに等しい特性インピーダンスを持つ  $1/4$  波長線路12, 12aで置き換えたものであり、第3の実施の形態と同一の作用と効果を有する。これら  $1/4$  波長線路12, 12aはインピーダン

スを反転する手段として機能する。また、本実施の形態において、FET 4, 4a, 4b, 4c のいくつかをCoff に等しい固定容量キャパシタで置き換えた場合も同様の作用と効果を有する。

【0069】 [実施の形態6] 図8は本発明に係る第6の実施の形態を示す回路図である。図8において、図4と同一符号の部品は同一または同等の部品を示す。2個の独立入出力端子である端子1, 2および1個の共通入出力端子である端子8を具備しており、制御端子6, 6aに印加する制御電圧によって端子1, 8間の第1の信号伝達経路と端子2, 8間の第2の信号伝達経路を切り替える。

【0070】端子1, 8間には単位スイッチ素子であるFET 9が挿入されており、FET 9のドレイン端子は端子8に接続されており、ソース端子は端子1に接続されている。ゲート端子は抵抗10を介して制御端子6aに接続されている。また、端子1と基準電位との間にはFET 4aが接続され、FET 4aのドレイン端子は端子1に接続されるとともにソース端子は基準電位に接続されている。ゲート端子は抵抗5aを介して制御端子6に接続されている。

【0071】また、端子2, 8間には特性インピーダンスZ、電気長θの伝送線路3aが挿入されており、伝送線路3aの両端は各々端子2および8に接続されている。端子2と基準電位との間には、FET 4cが接続されており、FET 4cのドレイン端子は端子2に、ソース端子は基準電位に接続されている。ゲート端子は抵抗5cを介して制御端子6aに接続されている。

【0072】さて、制御端子6, 6aに印加する電圧を変えることにより、2つの信号伝達経路を切り替えることができる。各FETがDモード(ディプレッション型)FETの場合、制御端子6にFETのピンチオフ電圧以下の電圧を印加し、制御端子6aに0Vを印加するとFET 4aのソース、ドレイン間は高インピーダンスとなり、FET 9, 4cのソース、ドレイン間は低インピーダンスとなり、端子1, 8間の第1の信号伝達経路が導通となり、端子2, 8間の第2の信号伝達経路は遮断となる。逆に、制御端子6aにFETのピンチオフ電圧以下の電圧を印加し、制御端子6に0Vを印加すると端子2, 8間の第2の信号伝達経路が導通となり、端子1, 8間の第1の信号伝達経路は遮断となる。

【0073】ところで、端子2, 8間の第2の信号伝達経路が導通の場合、FET 9および4cがオフ状態となり、この時FETは高抵抗Roffと寄生容量Coffの並列等価回路で表わされ、高周波領域においてはこのCoffが端子2, 8間の挿入損失特性を劣下させる要因となる。

【0074】しかしながら、本構成ではFET 4aが低インピーダンスであるため、FET 9, 4cの2つのCoffと伝送線路3aとがπ形回路を形成する。さら

に、このとき伝送線路3aの特性インピーダンスZと電気長θを第3の実施の形態の場合と同様に設計することにより、π形回路は系の特性インピーダンスに等しい1/4波長線路と等価となる。その結果、寄生容量Coffの影響をキャンセルすることができ、また共振を用いていないので広い帯域で良好な挿入損失とアイソレーション特性を得ることができる。

【0075】 [実施の形態7] 図9は本発明に係る第7の実施の形態を示す回路図である。図9において、図4と同一符号の部品は同一または同等の部品を示す。2個の独立入出力端子である端子1, 2および1個の共通入出力端子である端子8を具備しており、制御端子6aに印加する制御電圧によって端子1, 8間の第1の信号伝達経路と端子2, 8間の第2の信号伝達経路を切り替える。端子1, 8間には単位スイッチ素子であるFET 9が挿入されており、FET 9のドレイン端子は端子8に接続されるとともにソース端子が端子1に接続されている。ゲート端子は抵抗10を介して制御端子6aに接続されている。

【0076】また、端子2, 8間には特性インピーダンスZ、電気長θの伝送線路3aが挿入されており、伝送線路3aの両端が各々端子2および8に接続されている。端子2と基準電位との間にはFET 4cが接続されており、FET 4cのドレイン端子は端子2に接続されるとともにソース端子が基準電位に接続されている。ゲート端子は抵抗5cを介して制御端子6aに接続されている。さらに、端子8と基準電位との間にはFET 4cのオフ時の寄生容量Coffに等しい容量を持つキャパシタ11が接続されている。

【0077】さて、制御端子6aに印加する電圧を変えることにより、2個の信号伝達経路を切り替えることができる。各FETがDモード(ディプレッション型)FETの場合、制御端子6aに0Vを印加するとFET 9, 4cのソース、ドレイン間は低インピーダンスとなり、端子1, 8間の第1の信号伝達経路が導通となり、端子2, 8間の第2の信号伝達経路は遮断となる。逆に、制御端子6aにFETのピンチオフ電圧以下の電圧を印加すると端子2, 8間の第2の信号伝達経路が導通となり、端子1, 8間の第1の信号伝達経路は遮断となる。

【0078】ところで、端子2, 8間の第2の信号伝達経路が導通の場合、FET 9および4cがオフ状態となり、この時FETは高抵抗Roffと寄生容量Coffの並列等価回路で表わすことができ、高周波領域においてこのCoffが端子2, 8間の挿入損失特性を劣下させる要因となる。しかし、本実施の形態では、上記第6の実施の形態で示したFET 4aが存在しないため、FET 9のオフ時の寄生容量を利用してπ形回路を構成することができない。

【0079】しかしながら、本構成では、FET 4cの

$C_{off}$  とキャパシタ 11 および伝送線路 3a が  $\pi$  形回路を形成し、このとき、伝送線路 3a の特性インピーダンス  $Z$  と電気長  $\theta$  を第 3 の実施の形態の場合と同様に設計することにより、 $\pi$  形回路は系の特性インピーダンスに等しい  $1/4$  波長線路と等価となり、寄生容量  $C_{off}$  の影響をキャンセルすることができる。このとき、FET 9 の寄生容量は信号伝達経路と基準電位間に挿入されているわけではなく、上記第 6 の実施の形態の場合と比較して影響は小さい。また、共振を用いていないので、広い帯域で良好な挿入損失とアイソレーション特性を得ることができる。

【0080】【実施の形態 8】図 10 は本発明に係る第 8 の実施の形態を示す回路図である。図 10 において、図 4 と同一符号の部品は同一または同等の部品を示す。2 個の独立入出力端子である端子 1, 2 および 1 個の共通入出力端子である端子 8 を具備しており、制御端子 6a に印加する制御電圧によって端子 1, 8 間の第 1 の信号伝達経路と端子 2, 8 間の第 2 の信号伝達経路を切り替える。端子 1, 8 間には単位スイッチ素子である FET 9 が挿入されており、FET 9 のドレイン端子は端子 8 に接続されるとともにソース端子は端子 1 に接続されている。ゲート端子は抵抗 10 を介して制御端子 6a に接続されている。

【0081】また、端子 8 には特性インピーダンスが系の特性インピーダンス  $Z_0$  に等しい  $1/4$  波長線路 12a が接続されており、 $1/4$  波長線路 12a のもう一方の端は系の特性インピーダンスよりも高い特性インピーダンス  $Z$  を持つ電気長  $\theta$  の伝送線路 3a を介して端子 2 に接続されている。さらに、伝送線路 3a の両端と基準電位との間にはそれぞれ FET 4b, 4c が接続されており、FET 4b, 4c のドレイン端子は各々伝送線路 3a の両端に接続されるとともにソース端子は基準電位に接続されている。ゲート端子は各々抵抗 5b, 5c を介して制御端子 6a に共通接続されている。なお、 $1/4$  波長線路 12a はインピーダンスを反転する手段を構成している。

【0082】さて、制御端子 6a に印加する電圧を変えることにより、2 個の信号伝達経路を切り替えることができる。各 FET が D モード (ディプレッシャン型) FET の場合、制御端子 6a に 0V を印加すると FET 9, 4b, 4c のソース、ドレイン間は、それぞれ低インピーダンスとなり、端子 1, 8 間の第 1 の信号伝達経路が導通となり、端子 2, 8 間の第 2 の信号伝達経路は遮断となる。逆に、制御端子 6a に FET のピンチオフ電圧以下の電圧を印加すると端子 2, 8 間の第 2 の信号伝達経路が導通となり、端子 1, 8 間の第 1 の信号伝達経路は遮断となる。

【0083】ところで、端子 2, 8 間の第 2 の信号伝達経路が導通の場合、FET 9, 4b, 4c がオフ状態となり、この時これら FET は高抵抗  $R_{off}$  と寄生容量

$C_{off}$  の並列等価回路で表わすことができ、高周波領域において特に FET 4b, 4c の  $C_{off}$  が端子 2, 8 間の挿入損失特性を劣化させる要因となる。本実施の形態では、FET 4b, 4c の 2 個の  $C_{off}$  と伝送線路 3a とが  $\pi$  形回路を形成する。そのため、伝送線路 3a の特性インピーダンス  $Z$  と電気長  $\theta$  を第 3 の実施の形態の場合と同様に設計することにより、 $\pi$  形回路は系の特性インピーダンスに等しい  $1/4$  波長線路と等価となり、FET 4b, 4c の寄生容量  $C_{off}$  の影響をキャンセルすることができる。

【0084】本実施の形態では、第 6 の実施の形態で示した FET 4a が存在しないため、FET 9 のオフ時の寄生容量は信号伝達経路と基準電位との間に存在するわけではなく、第 6 の実施の形態に比較して寄生容量の影響は小さい。また、このとき共振を用いていないので広い帯域で良好な挿入損失とアイソレーション特性を得ることができる。なお、本実施の形態において、FET 4b, 4c のどちらかを  $C_{off}$  に等しい固定容量キャパシタで置き換えた場合も同様の作用と効果を有する。

【0085】【実施の形態 9】図 11 は本発明に係る第 9 の実施の形態を示す回路図である。図 11 において図 4 と同一符号の部品は同一または同等の部品を示す。2 個の独立入出力端子である端子 1, 2 および 1 個の共通入出力端子である端子 8 を具備しており、制御端子 6 に印加する電圧によって端子 1, 8 間の第 1 の信号伝達経路と端子 2, 8 間の第 2 の信号伝達経路を切り替える。端子 1, 8 間には単位スイッチ素子である PINダイオード 14 が挿入されており、PINダイオード 14 の陰極は DC カット用のキャパシタ 17 を介して端子 8 に接続されており、陽極は DC カット用のキャパシタ 13 を介して端子 1 に接続されている。

【0086】さらに、PINダイオード 14 の陽極は高インピーダンスの  $1/4$  波長線路 15 を介して制御端子 6 に接続されているとともに、 $1/4$  波長線路 15 の一端はバイパスキャパシタ 16 を介して高周波的に接地されている。なお、 $1/4$  波長線路 15 はインピーダンスを反転する手段を構成している。また、PINダイオード 14 の陰極は特性インピーダンス  $Z$ 、電気長  $\theta$  の伝送線路 3a に接続されており、伝送線路 3a の他端は DC カット用のキャパシタ 19 を介して端子 2 に接続されているとともに、PINダイオード 18 の陽極に接続されている。この PINダイオード 18 の陰極は基準電位に接続されている。また、PINダイオード 14 の陰極と基準電位との間には、PINダイオード 18 のオフ時の寄生容量  $C_{off}$  に等しい容量のキャパシタ 11 が接続されている。

【0087】さて、制御端子 6 に PINダイオード 14, 18 に対して順バイアスとなるような電圧を印加することにより、各 PINダイオードは低インピーダンスとなり、端子 1, 8 間の第 1 の信号伝達経路が導通とな

り、端子2, 8間の第2の信号伝達経路が遮断となる。逆に、制御端子6にP1Nダイオード14, 18に対し逆バイアスとなるような電圧を印加することにより、各P1Nダイオードは高インピーダンスとなり、端子1, 8間の第1の信号伝達経路が遮断となり、端子2, 8間の第2の信号伝達経路が導通となる。

【0088】ところで、端子2, 8間の第2の信号伝達経路が導通の場合、P1Nダイオード14および18がオフ状態となり、この時各P1Nダイオードは高抵抗R<sub>off</sub>と寄生容量C<sub>off</sub>の並列等価回路で表わされ、高周波領域においてこのC<sub>off</sub>が端子2, 8間の挿入損失特性を劣化させる要因となる。本実施の形態では、第6の実施の形態で示したFET4aに相当する素子が存在しないため、P1Nダイオード14のオフ時の寄生容量を利用してπ形回路を構成することができない。

【0089】しかしながら、本実施の形態では、P1Nダイオード18のC<sub>off</sub>とキャパシタ11と伝送線路3aとがπ形回路を形成する。このとき伝送線路3aの特性インピーダンスZと電気長θを第1の実施の形態の場合と同様に設計することにより、π形回路は系の特性インピーダンスに等しい1/4波長線路と等価となり、寄生容量C<sub>off</sub>の影響をキャンセルすることができる。また、共振を用いていないので、広い帯域で良好な挿入損失とアイソレーション特性を得ることができる。

【0090】なお、以上の実施の形態1~8ではスイッチ素子としてFETを用い、実施の形態9ではP1Nダイオードを用いた場合を例にとって説明した。しかし、各実施の形態において、スイッチ素子が他の半導体素子、例えばP1Nダイオードやバイポーラトランジスタ等で形成されている場合も上記と同様である。また、スイッチ素子が、FET等の直列接続というような複数の電気/電子回路素子を用いて構成されている場合も同様である。さらに、1個の共通入出力端子と2個の独立入出力端子の場合について示したが、独立入出力端子が3個以上ある場合も同様である。

#### 【0091】

【発明の効果】以上説明したとおり、本発明はスイッチ素子の寄生容量と系の特性インピーダンスより高い特性インピーダンスの伝送線路でπ形回路が構成されるため、半導体スイッチの挿入損失とアイソレーションを同時に改善することができる。また、本発明は共振回路を用いていないので広い帯域で良好な特性を得ることができる。

22

#### 【図面の簡単な説明】

【図1】 本発明に係る第1の実施の形態を示す回路図である。

【図2】 図1および従来の半導体スイッチに係る挿入損失およびアイソレーションの特性値を示すグラフである。

【図3】 本発明に係る第2の実施の形態を示す回路図である。

【図4】 本発明に係る第3の実施の形態を示す回路図である。

【図5】 図4および従来の半導体スイッチに係る挿入損失およびアイソレーションの特性値を示すグラフである。

【図6】 本発明に係る第4の実施の形態を示す回路図である。

【図7】 本発明に係る第5の実施の形態を示す回路図である。

【図8】 本発明に係る第6の実施の形態を示す回路図である。

【図9】 本発明に係る第7の実施の形態を示す回路図である。

【図10】 本発明に係る第8の実施の形態を示す回路図である。

【図11】 本発明に係る第9の実施の形態を示す回路図である。

【図12】 従来例を示す回路図である。

【図13】 従来例を示す回路図である。

【図14】 従来例を示す回路図である。

【図15】 従来例を示す回路図である。

【図16】 従来例を示す回路図である。

【図17】 従来例を示す回路図である。

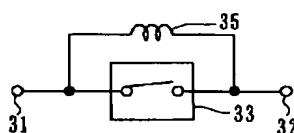
【図18】 従来例を示す回路図である。

【図19】 オン状態およびオフ状態におけるスイッチ素子の等価回路を示す回路図である。

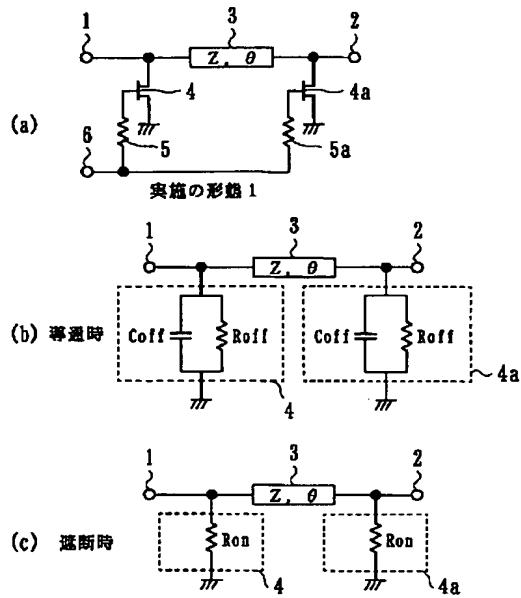
#### 【符号の説明】

1, 2, 8…端子、3, 3a…伝送線路、4, 4a, 4b, 4c, 9, 9a…FET、5, 5a, 5b, 5c, 10…抵抗、6, 6a…制御端子、7, 11, 13, 16, 17, 19…キャパシタ、12, 12a, 15…1/4波長線路、14, 18…P1Nダイオード。

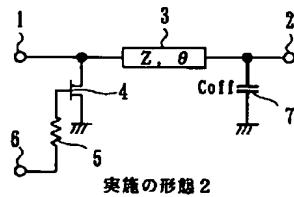
【図13】



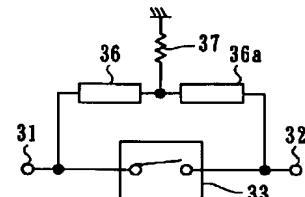
【図1】



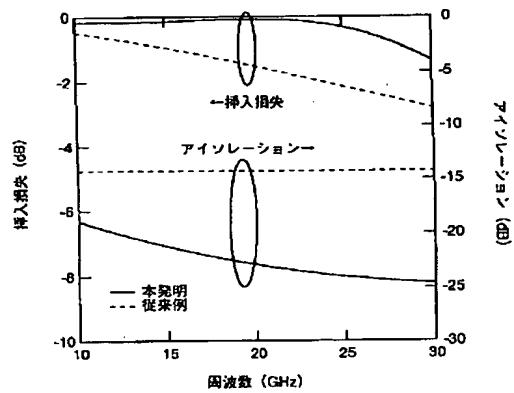
【図3】



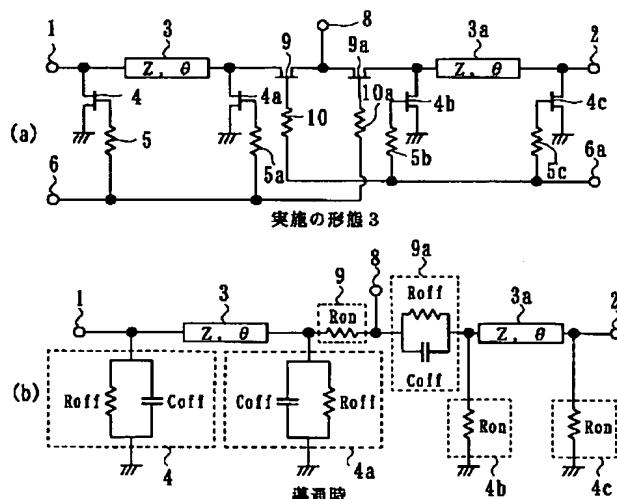
【図14】



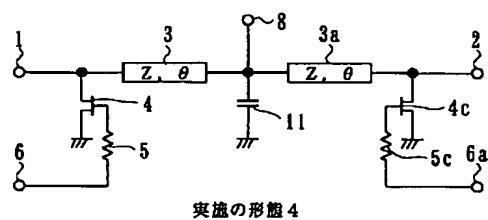
【図2】



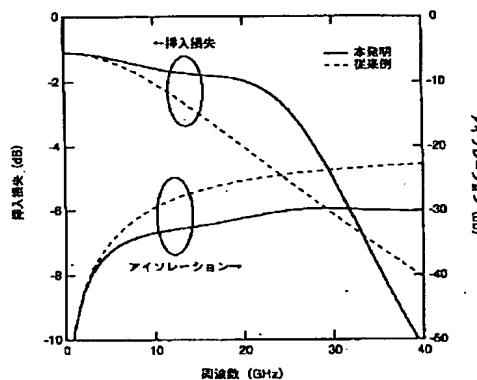
【図4】



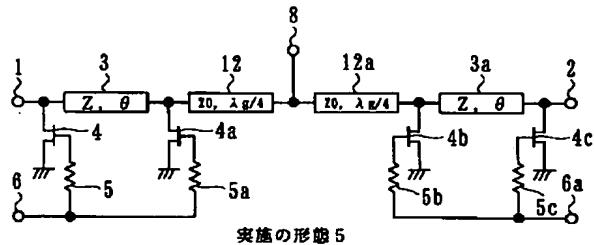
【図6】



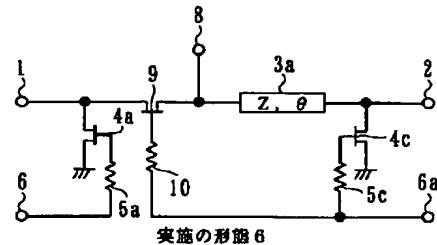
【図5】



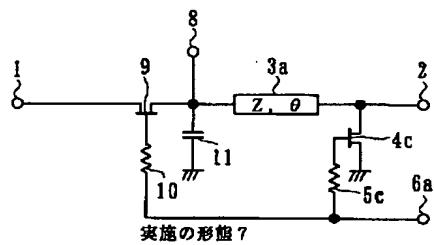
【図7】



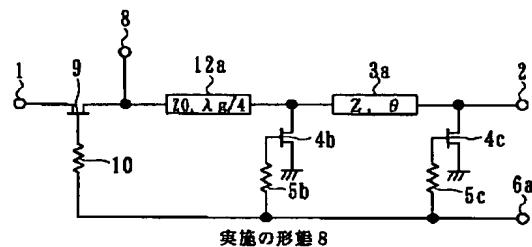
【図8】



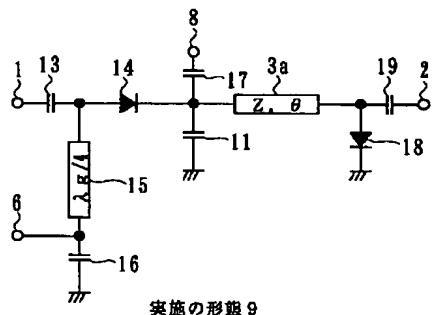
【図9】



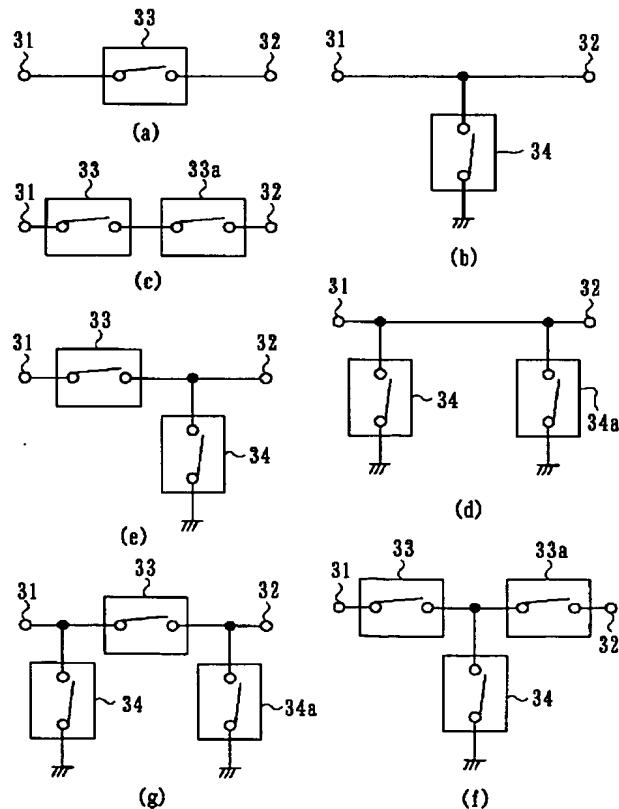
【図10】



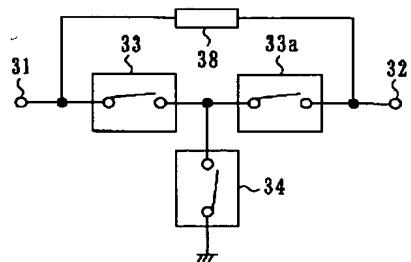
【図11】



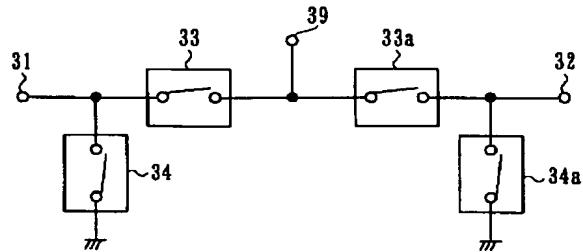
【図12】



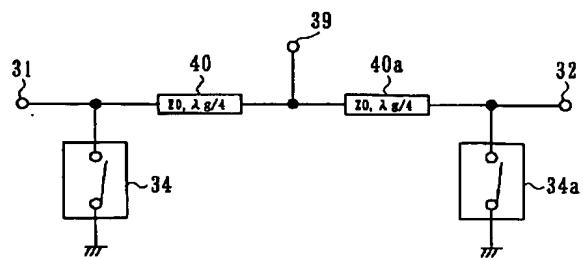
【図15】



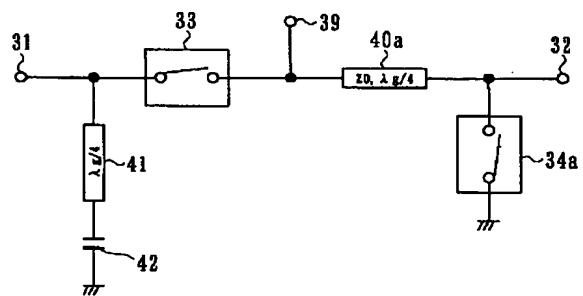
【図16】



【図17】



【図18】



【図19】

